

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 9月11日

出願番号

Application Number:

特願2002-265369

[ST.10/C]:

[JP2002-265369]

出願人

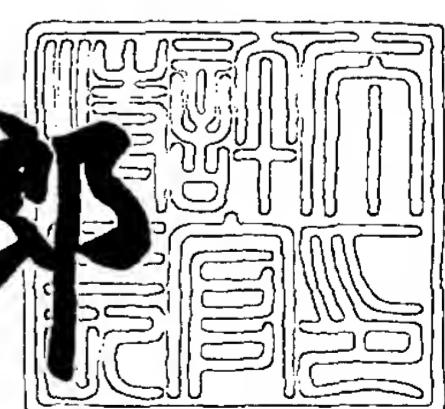
Applicant(s):

セイコーエプソン株式会社

2003年 6月 9日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3044475

【書類名】 特許願

【整理番号】 PA04F145

【提出日】 平成14年 9月11日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03K 19/0175

【発明者】

【住所又は居所】 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

【氏名】 関 浩

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 110000028

【氏名又は名称】 特許業務法人 明成国際特許事務所

【代表者】 下出 隆史

【電話番号】 052-218-5061

【手数料の表示】

【予納台帳番号】 133917

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0105458

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項1】 電源電圧として印加される比較的高い第1の電圧と比較的低い第2の電圧のうち、外部からの信号を受け取るためのインターフェース回路に印加される前記第1の電圧の供給が遮断されることにより、外部アクセスが実行されない非アクセスモードにおいて、前記インターフェース回路の動作を停止することが可能な半導体集積回路であって、

前記インターフェース回路は、

前記第1の電圧が電源電圧として少なくとも印加されて動作する入力バッファと、

外部入力端子と、前記入力バッファの入力端との間で接続され、前記外部入力端子から入力される外部信号を前記入力バッファの入力端に伝えるためのトランジスタゲートと、

前記トランジスタゲートのゲート電極に印加するゲート電圧を出力するゲート電圧制御回路と、を備えており、

前記ゲート電圧制御回路は、

外部アクセスが実行されるアクセスモードにおいて、前記第1の電圧に基づいて生成された電圧を前記ゲート電圧として出力し、

前記非アクセスモードにおいて、前記第2の電圧に基づいて生成された電圧を前記ゲート電圧として出力する、半導体集積回路。

【請求項2】 請求項1記載の半導体集積回路であって、

前記ゲート電圧制御回路は、同一のn型基板領域内に形成された4つのp型MOSトランジスタにより構成されており、

前記4つのp型MOSトランジスタのうち、

第1のp型MOSトランジスタは、ソース電極に前記第1の電圧が印加され、ドレイン電極に前記トランジスタのゲート電極が接続されており、前記アクセスモードにおいてオン状態となって、前記第1の電圧にほぼ等しい電圧を前記トランジスタのゲート電極に出力し、

第2のp型MOSトランジスタは、ソース電極に前記第2の電圧が印加され、ドレイン電極に前記トランスファゲートのゲート電極が接続されており、前記非アクセスモードにおいてオン状態となって、前記第2の電圧にほぼ等しい電圧を前記トランスファゲートのゲート電極に出力し、

第3のp型MOSトランジスタは、ソース電極に前記第1の電圧が印加され、ドレイン電極に前記n型基板領域の第1の電極が接続されており、前記アクセスモードにおいてオン状態となって、前記n型基板領域の電位が前記第1の電圧にほぼ等しくなるように充電し、

第4のp型MOSトランジスタは、ソース電極に前記第2の電圧が印加され、ドレイン電極に前記n型基板領域の第2の電極が接続されており、前記非アクセスモードにおいてオン状態となって、前記n型基板領域の電位が前記第2の電圧にほぼ等しくなるように充電する、半導体集積回路。

【請求項3】 請求項1または請求項2記載の半導体集積回路であって、前記インターフェース回路を構成する各MOSトランジスタは、ゲート電極の最大定格電圧が、前記第1の電圧よりも高く、前記外部信号のハイレベルの電圧に相当する第3の電圧よりも低いMOSトランジスタであり、

前記第2の電圧は、前記第3の電圧と前記第2の電圧との電圧差が前記最大定格電圧よりも低い電圧であることを特徴とする半導体集積回路。

【請求項4】 請求項1ないし請求項3のいずれかに記載の半導体集積回路であって、

前記第1の電圧を3V～3.6Vとし、前記第2の電圧を1.65V～1.95Vとし、前記第3の電圧を4.5V～5.5Vとする、半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、外部アクセスが実行されない非アクセスモードにおいて、外部との信号の受け渡しを行うインターフェース回路の動作を停止する半導体集積回路に関し、特に、インターフェース回路に印加される電源電圧よりも高電位の外部信号の受け取りを可能とするインターフェース回路を有する半導体集積回路に関する。

【0002】

【従来の技術】

各種電子機器に含まれるICやLSI（半導体集積回路）などの電子デバイスは、省電力化を図るために、供給される電源電圧の低電圧化が図られており、3.3Vあるいは3V等（以下、「3V系」とも呼ぶ。）の電源電圧で動作するものがある。また、さらには、1.8Vあるいは1.5V等（以下、「1V系」とも呼ぶ。）の電源電圧で動作するものもある。

【0003】

しかしながら、電子機器に実装される電子デバイスの全てが同様に低電圧化されているわけではなく、従来の5V等（以下、「5V系」とも呼ぶ。）の電源電圧で動作する電子デバイスと、3V系の電源電圧で動作する電子デバイスとが混在している場合がある。

【0004】

3V系の電源電圧で動作する電子デバイス（以下、単に「3V系の電子デバイス」と呼ぶ。）を構成するトランジスタのゲート電極の最大定格電圧（「耐圧」とも呼ぶ。）は、3V系の電源電圧よりも高いが、5V系の電源電圧で動作する電子デバイス（以下、単に「5V系の電子デバイス」と呼ぶ。）を構成するトランジスタにおける耐圧に比べて低く、5V系の電子デバイスから出力される信号（以下、「5V系の信号」と呼ぶ。）の電位よりも低いことが一般的である。このため、3V系の電子デバイスに対して、外部から5V系の信号を入力することができないことになる。

【0005】

そこで、以下に示すように、この耐圧の問題を解決して、3V系の電子デバイスにおいて、3V系の電子デバイスから出力された信号（以下、「3V系の信号」と呼ぶ。）だけでなく、5V系の信号も受け取り可能とする方式が考えられている。

【0006】

図6は、3V系および5V系の両方の信号を受け取ることができるインターフェース回路を示す説明図である。図6（A）に示すように、このインターフェース回

路には、外部入力端子（パッド）PDと、入力バッファIBとの間にn型MOSトランジスタ（以下、「nMOSトランジスタ」とも呼ぶ。）によるトランスファゲートQTN（「トランスマッショングート」とも呼ぶ。）が設けられている。そして、このトランスファゲートQTNのゲート電極Gには、入力バッファIBに供給される電源電圧と同じ3V系の電圧（本例では3.3V）がゲート電圧VGとして印加されている。

【0007】

図6（B）に示すように、トランスファゲートQTNのドレイン電極Dの電位VDは、外部入力パッドPDから入力される入力データ信号の電位VPDに等しく、電位VPDの変化に応じて変化する。具体的には、電位VPDが0Vから5Vに変化した場合、ドレイン電極Dの電位VDも0V～5Vに変化する。一方、ソース電極Sの電位VSは、電位VPDがゲート電圧VG（=3.3V）に対してしきい値電圧VTNだけ低い電圧（VG-VTN）[V]よりも低い間は、電位VPDの変化に応じて変化するが、それ以上の場合は、（VG-VTN）[V]で一定となる。従って、このインターフェース回路においては、入力バッファIBを構成しているMOSトランジスタの耐圧よりも高い5V系の信号を、トランスファゲートQTNを介して外部入力パッドPDから入力することによって、電源電圧（3.3V）よりも低い信号に変換して、入力バッファIBに入力することができる。

【0008】

なお、外部入力パッドPDから入力される外部データ信号の信号電位が5Vであるとすると、トランスファゲートQTNのドレイン電極Dに印加されるドレイン電圧VDは5Vとなる。従って、トランスファゲートQTNのドレイン電極Dとゲート電極Gとの間のドレイン-ゲート間電圧VDGは1.7Vとなる。また、外部入力パッドPDから入力される外部データ信号の信号電位が0Vであるとすると、トランスファゲートQTNのドレイン電極Dに印加されるドレイン電圧VDは0Vとなる。従って、トランスファゲートQTNのドレイン-ゲート間電圧VDGは-3.3Vとなる。ここで、3.3V系の電源電圧で動作する回路に通常利用されるMOSトランジスタとしては、少なくとも、ゲート電極に許容される最大定格電圧（耐圧）が電源電圧3.3Vよりも高く、ドレイン-ゲート間電圧

に許容される最大定格電圧も電源電圧3.3Vよりも高いMOSトランジスタが用いられる。従って、トランスマニアゲートQTNのドレイン電極とゲート電極との間に印加される電圧は、最大定格電圧よりも低くなっていることがわかる。

【0009】

【発明が解決しようとする課題】

ここで、電子デバイスの省電力化をさらに図るために、インターフェース回路の供給電源電圧を3V系とし、電子デバイスの内部回路の供給電源電圧を3V系の電圧よりも低い1V系の電圧とするとともに、外部アクセスが実行されない非アクセスモードにおいて、3V系の電源電圧の供給を停止（遮断）して、インターフェース回路の動作を停止する電子デバイスを考えられている。

【0010】

しかしながら、このような電源供給が遮断されるインターフェース回路として上記図6に示した構成を適用するとすると、次の問題が発生する。すなわち、図7において、3.3Vの電源電圧の供給が停止されると、トランスマニアゲートQTNのゲート電極Gに印加されるゲート電圧VGが3.3Vから0Vとなる。

【0011】

この場合、外部入力パッドPDの接続先が、他のデバイスと共通の信号線、例えば、バスであった場合、他のデバイスに供給される外部データ信号であっても外部入力パッドPDから入力されることになる。このとき、トランスマニアゲートQTNのドレイン-ゲート間電圧VDGがほぼ5Vとなってしまう。

【0012】

ここで、トランスマニアゲートQTNの耐圧は、動作速度を考慮すると低い方が好ましく、3.3V系の電源電圧で動作する回路を構成するMOSトランジスタには、5Vよりも低く、ドレイン-ゲート間電圧VDGに許容される最大定格電圧も5Vよりも低いトランジスタが用いられることが一般的である。

【0013】

従って、トランスマニアゲートQTNを構成するnMOSトランジスタのゲート-ドレイン間電圧VDGが、許容されている最大定格電圧よりも高くなってしまい、素子の信頼性の劣化を招く要因となる。特に、絶対最大定格電圧よりも高くな

ると素子の故障等を招く要因ともなりうる。

【0014】

従って、インターフェース回路への電源供給が遮断される非アクセスモードにおいても、インターフェース回路に供給される電源電圧よりも高く、インターフェース回路を構成するMOSトランジスタのゲート電極に許容される最大定格電圧よりも高い電位の信号の入力を許容するインターフェース回路の実現が望まれている。

【0015】

この発明は、従来技術における上述の課題を解決するためになされたものであり、非アクセスモードの場合に、インターフェース回路への電源供給が遮断される半導体集積回路において、インターフェース回路に供給される電源電圧よりも高く、インターフェース回路を構成するトランジスタのゲート電極に許容される最大定格電圧よりも高い電位の信号の入力を許容する技術を提供することを目的とする。

【0016】

【課題を解決するための手段およびその作用・効果】

上述の課題の少なくとも一部を解決するため、本発明の半導体集積回路は、電源電圧として印加される比較的高い第1の電圧と比較的低い第2の電圧のうち、外部からの信号を受け取るためのインターフェース回路に印加される前記第1の電圧の供給が遮断されることにより、外部アクセスが実行されない非アクセスモードにおいて、前記インターフェース回路の動作を停止することが可能な半導体集積回路であって、

前記インターフェース回路は、

前記第1の電圧が電源電圧として少なくとも印加されて動作する入力バッファと、

外部入力端子と、前記入力バッファの入力端との間で接続され、前記外部入力端子から入力される外部信号を前記入力バッファの入力端に伝えるためのトランスマッカゲートと、

前記トランスマッカゲートのゲート電極に印加するゲート電圧を出力するゲート電圧制御回路と、を備えており、

前記ゲート電圧制御回路は、

外部アクセスが実行されるアクセスモードにおいて、前記第1の電圧に基づいて生成された電圧を前記ゲート電圧として出力し、

前記非アクセスモードにおいて、前記第2の電圧に基づいて生成された電圧を前記ゲート電圧として出力することを特徴とする。

【0017】

上記構成の半導体集積回路によれば、従来問題となっていた、外部アクセスが実行されない非アクセスモードにおいて、インターフェース回路への第1の電圧を有する電源電圧の供給が遮断された場合に、トランスマニアゲートのゲート電極に第2の電圧に基づいて生成された電圧を印加することができる。これにより、発明が解決しようとする課題で説明したように、トランスマニアゲートのゲート電極の電位が0Vとなって、トランスマニアゲートのドレイン-ゲート間電圧が、許容される最大定格電圧よりも大きくなることを防止することができる。

【0018】

ここで、前記ゲート電圧制御回路は、同一のn型基板領域内に形成された4つのp型MOSトランジスタにより構成されており、

前記4つのp型MOSトランジスタのうち、

第1のp型MOSトランジスタは、ソース電極に前記第1の電圧が印加され、ドレイン電極に前記トランスマニアゲートのゲート電極が接続されており、前記アクセスモードにおいてオン状態となって、前記第1の電圧にほぼ等しい電圧を前記トランスマニアゲートのゲート電極に出力し、

第2のp型MOSトランジスタは、ソース電極に前記第2の電圧が印加され、ドレイン電極に前記トランスマニアゲートのゲート電極が接続されており、前記非アクセスモードにおいてオン状態となって、前記第2の電圧にほぼ等しい電圧を前記トランスマニアゲートのゲート電極に出力し、

第3のp型MOSトランジスタは、ソース電極に前記第1の電圧が印加され、ドレイン電極に前記n型基板領域の第1の電極が接続されており、前記アクセスモードにおいてオン状態となって、前記n型基板領域の電位が前記第1の電圧にほぼ等しくなるように充電し、

第4のp型MOSトランジスタは、ソース電極に前記第2の電圧が印加され、ドレイン電極に前記n型基板領域の第2の電極が接続されており、前記非アクセスモードにおいてオン状態となって、前記n型基板領域の電位が前記第2の電圧にほぼ等しくなるように充電することが好ましい。

【0019】

上記構成によれば、ゲート電圧制御回路を半導体集積回路内に容易に形成することができる。

【0020】

なお、前記インターフェース回路を構成する各MOSトランジスタは、ゲート電極の最大定格電圧が、前記第1の電圧よりも高く、前記外部信号のハイレベルの電圧に相当する第3の電圧よりも低いMOSトランジスタであり、

前記第2の電圧は、前記第3の電圧と前記第2の電圧との電圧差が前記最大定格電圧よりも低い電圧であることが好ましい。

【0021】

上記第1の電圧と第2の電圧と第3の電圧の関係を有する半導体集積回路では、外部アクセスが実行されない非アクセスモードの場合に、インターフェース回路への第1の電圧を有する電源電圧の供給が遮断されて、トランスマッゲートのドレイン-ゲート間電圧が許容される最大定格電圧よりも大きくなることを効果的に防止することができる。なお、最大定格電圧には、絶対最大定格電圧も含まれる。

【0022】

なお、例えば、前記第1の電圧を3V～3.6Vとし、前記第2の電圧を1.65V～1.95Vとし、前記第3の電圧を4.5V～5.5Vとすることができる。

【0023】

【発明の実施の形態】

以下、本発明の実施の形態を実施例に基づいて以下の順に従って説明する。

A. インタフェース回路の構成：

B. ゲート電圧制御回路の構成および動作：

- B 1. ゲート電圧制御回路
- B 2. アクセスモードにおける動作：
- B 3. 非アクセスモードにおける動作：
- C. 実施例の効果：
- D. 変形例：

【0024】

- A. インタフェース回路の構成：

図1は、本発明の一実施例としての半導体集積回路に含まれるインターフェース回路の回路図である。この半導体集積回路は、外部との信号の受け渡しを行うためのインターフェース回路を含むインターフェースブロックと、種々の内部回路を含む内部ブロックとに大きく分けられる。この集積回路には図示しない2種類の電源入力端子H V d d, L V d dから2種類の電源電圧が供給される。第1の電源入力端子H V d dの電圧は(3. 3±0. 3)Vで、第2の電源入力端子L V d dの電圧は(1. 8±0. 15)Vであるとする。なお、以下では、第1の電源入力端子H V d dの電圧を第1の電源H V d dあるいは第1の電源電圧H V d dと呼び、第2の電源入力端子L V d dの電圧を第2の電源L V d dあるいは第2の電源電圧L V d dと呼ぶ。第1の電源H V d dはインターフェース回路用の電源あり、第2の電源L V d dは内部回路用の電源である。また、「(3. 3±0. 3)V」とは、標準電圧が3. 3Vで、誤差範囲が±0. 3Vであることを意味しており、第1の電源電圧H V d dは3V~3. 6Vの範囲内のいずれかの電圧値を取りうることを意味している。他の電圧も同様である。

【0025】

図1は、インターフェースブロックに含まれる1つのインターフェース回路100を示している。このインターフェース回路100は、入力バッファ110と、出力ドライバ120と、トランスファゲート130と、ゲート電圧制御回路140とから構成されている。各回路を構成するp型MOSトランジスタ（以下、単に「pMOSトランジスタ」と呼ぶ。）およびn型MOSトランジスタ（以下、単に「nMOSトランジスタ」と呼ぶ。）は、ゲート酸化膜の厚さ $t_{ox} \approx 70\text{ \AA}$ であり、ゲート電極、ゲートードレイン間、およびゲートソース間に許容される絶

対最大定格電圧は4～4.6Vの範囲内であるとして説明する。

【0026】

入力バッファ110は、2つのCMOSタイプのインバータ112、114により構成されている。入力バッファ110の入力端n2は第1のインバータ112の入力端となり、第1のインバータ112の出力端n3は第2のインバータ114の入力端に接続されている。第2のインバータ114の出力端は入力バッファ110の出力端n4となる。第1のインバータ112の一方の電源入力端は、第1の電源端子H V d dに接続されて、インターフェース回路用の第1の電源電圧H V d d (=3.3V)が供給されており、他方は接地電位GNDに接続されている。第2のインバータ114の一方の電源入力端は、第2の電源端子L V d dに接続されて、内部回路用の第2の電源電圧L V d d (=1.8V)が供給されており、他方は接地電位GNDに接続されている。

【0027】

入力バッファ110は、トランスマッゲート130を介して入力される外部データ信号D i n - e x tを入力データ信号D i nとして内部ブロックの図示しない内部回路へ出力する。

【0028】

なお、第1のインバータ112の出力端n3と接地電位GNDとの間には、ドレイン電極がノードn3に接続され、ソース電極が接地電位GNDに接続されたnMOSトランジスタ116が挿入されている。また、このnMOSトランジスタ116のゲート電極は、内部ブロックの図示しない制御回路からのインターフェース制御信号I F c n tが入力される制御信号入力端n5に接続されている。

【0029】

インターフェース制御信号I F c n tは、第1の電源H V d dとして3.3Vの電圧が供給されて、外部アクセスが実行されるアクセスモードにおいてロウレベル("L"レベル)となり、第1の電源H V d dの供給が遮断されて、外部アクセスが実行されない非アクセスモードにおいてハイレベル("H"レベル)となる。インターフェース制御信号I F c n tは内部ブロック内の内部回路により生成され、"H"レベルはほぼ第2の電源電圧に等しい電圧であり、"L"レベルは

接地電位GNDに等しい電圧（ほぼ0V）である。

【0030】

このnMOSトランジスタ116は、以下で説明するようにクランプ回路として機能する。非アクセスモードにおいて、第1の電源HVddの電圧は3.3Vから0Vとなり、第1のインバータ112の動作は停止するので、出力端n3のレベルは不安定となる。このとき、インターフェース制御信号IFcntが”H”レベルとなるので、nMOSトランジスタ116はオン状態となって出力端n3の電位を、接地電位GND、すなわち、”L”レベルに固定する。なお、アクセスモードにおいては、nMOSトランジスタ116はオフ状態となるので、出力端n3の電位は、入力端n2のレベルに応じて変化する。

【0031】

出力ドライバ120も、CMOSタイプの回路により構成されている。出力ドライバ120の一方の電源入力端は第1の電源端子HVddに接続されて、インターフェース回路用の第1の電源電圧HVdd（=3.3V）が供給されており、他方は接地電位GNDに接続されている。データ入力端n6には、内部ブロックの図示しない内部回路から出力されるデータ信号Doutが入力されており、出力端は入力バッファ110の入力端n2に接続されている。なお、入力されるデータ信号Doutの出力可否を決定するイネーブル信号入力端n8には、内部ブロックの図示しない制御回路から出力されるイネーブル信号Denbが入力されている。イネーブル信号Denbがアクティブの場合、データ入力端n6から入力されるデータ信号Doutがトランスマッパー130を介して外部入出力パッド150から出力される。イネーブル信号Denbが非アクティブの場合、出力ドライバ120の出力端はハイインピーダンスとなるので、実効的に入力バッファ110の入力端n2から切り離される。なお、この出力ドライバ120としては、第1の電源電圧HVddの供給が遮断されたとき、入力端n2に外部信号が入力されたとしても、回路内部にリーキ電流等が発生するのを防止することが可能なフェールセーフ機能を備えた出力バッファが用いられる。このフェールセーフ機能を備えた出力ドライバは、一般的であるのでここでは説明を省略する。

【0032】

トランスマルチゲート130は、nMOSトランジスタにより構成されており、ドレイン電極は接続端n1を介して外部入出力パッド150に接続されている。また、ソース電極は入力バッファ110の入力端n2に接続されており、ゲート電極はゲート電圧制御回路140の出力端n7に接続されている。なお、このnMOSトランジスタとしては、インターフェース回路100の他の回路を構成するnMOSトランジスタよりも低いしきい値電圧 V_{TN} を有するトランジスタが利用されている。このしきい値電圧 V_{TN} は、小さい方が好ましく、理想的には0Vである。本例では、例えば、約0.2V以下のnMOSトランジスタが利用される。

【0033】

なお、入力バッファ110の入力端n2と接地電位GNDとの間には、4個のnMOSトランジスタ131～134をカスケード接続したクランプ回路が設けられている。接地電位GNDに接続されているnMOSトランジスタ131のゲート電極は入力バッファ110の制御信号入力端n5に接続されており、上記入力バッファ110に含まれるnMOSトランジスタ116と同様に、インターフェース制御信号IFcntが入力される。他のnMOSトランジスタ132, 133, 134は、ゲート電極とドレイン電極とが接続されて、ダイオードを構成している。このクランプ回路は、非アクセスモードにおいて、nMOSトランジスタ131がオン状態となると、入力端n2から接地電位GNDに電流が流れて、例えば、各トランジスタのしきい値電圧 V_{TN} を約0.6Vとすると、入力端n2の電位が、しきい値電圧 V_{TN} の4倍の約2.4V以上とならないようにクランプする。アクセスモードにおいては、nMOSトランジスタ131がオフ状態となるので、このクランプ回路は動作せず、入力端n2の電位は、トランスマルチゲート130を介して入力される外部データ信号Din-nextの変化に応じて変化する。

【0034】

ゲート電圧制御回路140は、トランスマルチゲート130のゲート電極に印加するためのゲート電圧を、アクセスモードか非アクセスモードかに応じて出力端n7を介してトランスマルチゲート130のゲート電極に出力する。

【0035】

B. ゲート電圧制御回路の構成および動作：

B 1. ゲート電圧制御回路の構成：

ゲート電圧制御回路140は、4つのpMOSトランジスタQP1, QP2, QP3, QP4により構成されている。第1のpMOSトランジスタQP1のソース電極は第1の電源入力端子HVDdに接続されており、ドレイン電極はゲート電圧制御回路140の出力端n7に接続されている。ゲート電極は入力バッファ110の制御信号入力端n5に接続されており、インターフェース制御信号IFcntが入力される。この第1のpMOSトランジスタQP1は、後述するように第1の電源電圧HVDdを、トランスファゲート130のゲート電圧としてゲート電極に印加するための第1のスイッチ回路として機能する。

【0036】

第2のpMOSトランジスタQP2のソース電極は第2の電源入力端子LVDdに接続されており、ドレイン電極はゲート電圧制御回路140の出力端n7に接続されている。ゲート電極は第1の電源入力端子HVDdに接続されており、第1の電源電圧HVDdがゲート電圧としてゲート電極に印加される。この第2のpMOSトランジスタQP2は、後述するように第2の電源電圧LVDdを、トランスファゲート130のゲート電圧としてゲート電極に印加するための第2のスイッチ回路として機能する。

【0037】

ここで、pMOSトランジスタのバックゲート電極には、通常、電源電圧が印加される。例えば、第1のpMOSトランジスタQP1のバックゲート電極には、第1の電源電圧HVDd (= 3.3V) が印加され、第2のpMOSトランジスタQP2のバックゲート電極には、第2の電源電圧LVDd (= 1.8V) が印加される。しかしながら、第1のpMOSトランジスタQP1のバックゲート電極に第1の電源電圧HVDdが印加され、第2のpMOSトランジスタQP2のバックゲート電極に第2の電源電圧LVDdが印加されると、以下のような問題が発生する。

【0038】

図2は、第1および第2のpMOSトランジスタQP1, QP2のバックゲート電極をそれぞれに対応する電源電圧HVDd, LVddに接続した場合の断面構造を概略的に示す説明図である。第1のトランジスタQP1は、p型半導体基板200に形成されたNウェル210（「n型基板領域」あるいは「バックゲート」とも呼ぶ。）内に形成されている。Nウェル210内にはドレイン電極用のp型不純物領域212（以下、単に「ドレイン電極」とも呼ぶ。）と、ソース電極用のp型不純物領域214（以下、単に「ソース電極」とも呼ぶ。）と、バックゲート電極用のn型不純物領域216（以下、単に「バックゲート電極」とも呼ぶ。）が形成されている。2つのp型不純物領域212, 214の間のNウェル210（チャネル領域）の表面上には第1のpMOSトランジスタQP1のゲート電極218が形成されている。

【0039】

同様に、第2のトランジスタQP2は、p型半導体基板200に形成されたNウェル220内に形成されている。Nウェル220内にはドレイン電極用のp型不純物領域222（以下、単に「ドレイン電極」とも呼ぶ。）と、ソース電極用のp型不純物領域224（以下、単に「ソース電極」とも呼ぶ。）と、バックゲート電極用のn型不純物領域226（以下、単に「バックゲート電極」とも呼ぶ。）が形成されている。2つのp型不純物領域222, 224の間のNウェル220（チャネル領域）の表面上には第2のpMOSトランジスタQP2のゲート電極228が形成されている。

【0040】

第1のpMOSトランジスタQP1のソース電極214およびバックゲート電極216は、第1の電源端子HVDd（3.3V）に接続されている。第2のpMOSOトランジスタQP2のソース電極224およびバックゲート電極226は、第2の電源端子LVdd（1.8V）に接続されている。第1のpMOSトランジスタのドレイン電極212と第2のpMOSOトランジスタのドレイン電極222とは、出力端子n7として共通に接続されている。第1のpMOSOトランジスタQP1のゲート電極218にはインターフェース制御信号IFcntが入力される。第2のpMOSトランジスタQP2のゲート電極228は第2の電源

端子H V d d に接続されている。

【0041】

ここで、例えば、インターフェース制御信号I F c n t が”L”レベルとなって、第1のpMOSトランジスタQ P 1がオンとなり、第2のpMOSトランジスタQ P 2がオフとなっている場合を考える。このとき、第2のpMOSトランジスタQ P 2はオフ状態であるにもかかわらず、第2のpMOSトランジスタQ P 2のドレイン電極2 2 2とNウェル2 2 0との接合面が順方向にバイアスされるので、第1のpMOSトランジスタQ P 1のソース電極2 1 4からドレイン電極2 1 2へ向かって流れ出した電流の一部が、第2のpMOSトランジスタQ P 2のドレイン電極2 2 2、Nウェル2 2 0、バックゲート電極2 2 6を介して第2の電源端子L V d d に流れ出す。このように、オフ状態であるはずの第2のpMOSトランジスタQ P 2にリーク電流が流れることになる。従って、第1のpMOSトランジスタQ P 1および第2のpMOSトランジスタのバックゲート電極をそれぞれ対応する電源電圧とすることはできない。そこで、本実施例では、以下のような回路構成を採用している。

【0042】

すなわち、図3に示すように、第1ないし第4のpMOSトランジスタQ P 1～Q P 4を同一のNウェル2 1 0内に形成することにより、それぞれのバックゲート電極を実質的に共通化する。そして、第3のpMOSトランジスタQ P 3のソース電極に相当するp型不純物領域2 3 4を第1の電源入力端子H V d d に接続し、ドレイン電極に相当するp型不純物領域2 3 2を、バックゲート電極に相当するn型不純物領域2 3 6に接続する。また、第4のpMOSトランジスタQ P 4のソース電極に相当するp型不純物領域2 4 4を第2の電源入力端子L V d d に接続し、ドレイン電極に相当するp型不純物領域2 4 2を、バックゲート電極に相当するn型不純物領域2 4 6に接続する。

【0043】

以上の回路構成を探れば、第1のスイッチ回路に相当する第1のpMOSトランジスタQ P 1がオンし、第2のスイッチ回路に相当する第2のpMOSトランジスタQ P 2がオフしている場合において、第3のpMOSトランジスタQ P 3

がオンとなって、Nウェル210の電位が第1の電源電圧H V d dとなるように充電することができる。また、第1のpMOSトランジスタQ P 1がオフして、第2のpMOSトランジスタQ P 2がオンしている場合、第4のpMOSトランジスタQ P 4がオンとなって、Nウェル210の電位が第2の電源電圧L V d dとなるように充電する。これにより、いずれかのトランジスタのドレイン電極またはソース電極に相当するp型不純物層とNウェル210との接合面が順方向にバイアスされることを防止することができ、リーク電流が発生してしまうことを防止することができる。

【0044】

次に、ゲート電圧制御回路140およびトランスファゲート130の動作をアクセスモードおよび非アクセスモードに分けて説明する。

【0045】

B2. アクセスモードにおける動作：

図4は、アクセスモードにおけるゲート電圧制御回路140の動作を示す説明図である。アクセスモードでは、2つの電源電圧H V d d, L V d dのどちらも半導体集積回路に供給されている。また、インターフェース制御信号I F c n tは”L”レベル($\approx 0\text{ V}$)となる。このとき、第2, 第4のPMOSトランジスタQ P 2, Q P 4は、第2の電源電圧L V d dが印加されているソース電極の電位よりも、第1の電源電圧H V d dが印加されているゲート電極の電位の方が高いため、オフ状態となる。一方、第3のpMOSトランジスタQ P 3はオン状態となって、上述したように、第1のpMOSトランジスタQ P 1のバックゲート電極(図3のn型不純物領域236)に第1の電源電圧H V d dにほぼ等しい電圧を印加する。これにより、第1ないし第4のpMOSトランジスタQ P 1～Q P 4が形成されているNウェル210が第1の電源電圧H V d dにほぼ等しい電位となるように充電される。そして、第1のpMOSトランジスタQ P 1はオン状態となって、ゲート電圧制御回路140の出力端n 7、すなわち、トランスファゲート130のゲート電極に、第1の電源電圧H V d d($= 3.3\text{ V}$)にほぼ等しい電圧が印加される。

【0046】

以上のように、アクセスモードにおいては、従来のインターフェース回路と同様に、トランスマニアゲート130のゲート電極に第1の電源電圧HVVd (= 3.3V) にほぼ等しい電圧が印加される。これにより、入力バッファ110を構成しているMOSトランジスタの耐圧（ゲート電極に許容される最大定格電圧）よりも高い5Vの電位を有する信号が、外部入出力パッド150から入力されても、トランスマニアゲート130によって電源電圧（本例では3.3V）よりも低い信号に変換されて、入力バッファ110に入力される。

【0047】

ここで、外部入出力パッド150から入力される外部データ信号Din-extの”H”レベルの電位が（5±0.5）Vであるとする。

【0048】

このとき、トランスマニアゲート130のドレイン電極に印加されるドレイン電圧VDの最大値VD [max] は5.5Vである。また、ゲート電極に印加されるゲート電圧VGの最小値VG [min] は3.0Vである。従って、トランスマニアゲート130のドレイン-ゲート間電圧VDGの最大値VDG [max] も2.5Vとなる。上述したようにインターフェース回路を構成するnMOSトランジスタのドレイン-ゲート間電圧VDGに許容される絶対最大定格電圧の最低値は4.0Vであるから、トランスマニアゲート130のドレイン-ソース間電圧の最大値VDG [max] もその絶対最大定格電圧よりも低くなる。

【0049】

B3. 非アクセスモードにおける動作：

図5は、非アクセスモードにおけるゲート電圧制御回路140の動作を示す説明図である。非アクセスモードでは、2つの電源電圧HVVd, LVVdのうち、第1の電源電圧HVVdの供給が遮断され、電源電圧HVVdの電圧はほぼ0Vとなる。このとき、入力バッファ110の動作は停止されるので、外部データ信号Din-extが外部入出力パッド150から入力されたとしても、内部ブロックに入力データ信号Dinが出力されることはない。また、インターフェース制御信号IFcntは”H”レベル (≈ 1.8V) となる。

【0050】

このとき、第1、第3のpMOSトランジスタQ P 1、Q P 3は、ソース電極の電位 (≈ 0 V) よりも、"H" レベル (≈ 1.8 V) のインターフェース制御信号I F c n t が入力されているゲート電極の電位の方が高いため、オフ状態となる。一方、第4のpMOSトランジスタはオン状態となって、上述したように、第2のpMOSトランジスタQ P 2のバックゲート（図3のNウェル210）に電荷を充電して、バックゲートの電位を第2の電源電圧L V d d とする。そして、第2のpMOSトランジスタQ P 2はオン状態となって、ゲート電圧制御回路140の出力端n 7、すなわち、トランスファゲート130のゲート電極に、第2の電源電圧L V d d ($= 1.8$ V) にほぼ等しい電圧を印加する。

【0051】

ここで、他のデバイスに供給されるべき外部データ信号D i n - e x t が、外部入出力パッド150から入力されるとする。この外部データ信号D i n - e x t の" H" レベルの電位は4.5 V~5.5 Vの範囲内であるとする。

【0052】

このとき、トランスファゲート130のドレイン電極に印加されるドレイン電圧V D の最大値V D [m a x] は5.5 Vとなる。また、ゲート電極に印加されるゲート電圧V G の最小値V G [m i n] は1.65 Vとなる。従って、トランスファゲート130のドレインーゲート間電圧V D G の最大値V D G [m a x] は3.85 Vとなる。上述したようにインターフェース回路を構成するnMOSトランジスタのドレインーゲート間電圧V D G に許容される絶対最大定格電圧の最低値は4.0 Vであるから、トランスファゲート130のドレインーソース間電圧の最大値V D G [m a x] はその絶対最大定格電圧よりも低くなる。

【0053】

以上のように、ゲート電圧制御回路140は、非アクセスモードとなって、インターフェース回路用の第1の電源H V d d の供給が遮断された場合においても、トランスファゲート130のゲート電圧として電源電圧L V d d にほぼ等しい電圧を供給することができるので、従来のインターフェース回路において問題となっていたトランスファゲート130のドレインーソース間電圧V D G が許容されている絶対最大定格電圧を超えることを防止することができる。

【0054】

C. 実施例の効果：

以上、説明したように、本実施例のインターフェース回路100によれば、アクセスモードにおいて、外部データ信号Din-extとして、第1の電源電圧H_{Vdd}(=3.3V)よりも高く、入力バッファ110を構成するMOSトランジスタのゲート電圧に許容される絶対最大定格電圧よりも高い”H”レベル(5±0.5V)の信号を受け取ることが可能である。また、非アクセスモードにおいて従来のインターフェース回路において問題となっていた、他のデバイスに供給される外部データ信号の”H”レベルの電位が外部入出力パッド150から入力されて、トランスファゲート130のドレイン-ソース間電圧VDGが許容されている絶対最大定格電圧を超えるという点を解消することができる。

【0055】

以上の説明からわかるように、第1の電源電圧が本発明の第1の電圧に相当し、第2の電源電圧が本発明の第2の電圧に相当し、外部データ信号の”H”レベル電位が第3の電圧に相当する。

【0056】

D. 変形例：

なお、本発明は上記の実施例や実施形態に限られるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば次のような変形も可能である。

【0057】

(1) 上記実施例のインターフェース回路100は、入力バッファ110および出力ドライバを備える入出力インターフェース回路を示しているが、入力バッファ110のみを備える入力インターフェース回路に本発明を適用することも可能である。

【0058】

(2) 上記実施例では、第1の電源電圧H_{Vdd}が3.3V、第2の電源電圧L_{Vdd}が1.8V、外部データ信号の”Hレベル”の電位が5Vで、トランスファゲート130のドレイン-ゲート間電圧VDGの絶対最大定格電圧が4.0Vで

ある場合を例に説明しているが、これに限定されるものではない。トランスマニアゲートは、ゲート電極およびドレイン電極間の最大定格電圧が、第1の電源電圧 HV_{dd} に相当する第1の電圧よりも高く、外部データ信号の”H”レベルの電位に相当する第3の電圧よりも低いnMOSトランジスタにより構成されており、かつ、第3の電圧と、第2の電源電圧 LV_{dd} に相当する第2の電圧との電圧差が、ゲート電極の最大定格電圧よりも低くなつて、ゲート電極およびドレイン電極間の最大定格電圧よりも小さくなるように、第1の電圧と、第2の電圧と、第3の電圧が設定されていれば、本発明を適用することが可能である。

【図面の簡単な説明】

【図1】 本発明の一実施例としての半導体集積回路に含まれるにおけるインターフェース回路の回路図である。

【図2】 第1および第2のpMOSトランジスタ $QP1$, $QP2$ のバックゲートをそれぞれに対応する電源電圧 HV_{dd} , LV_{dd} に接続した場合の断面構造を概略的に示す説明図である。

【図3】 本実施例における第1ないし第4のpMOSトランジスタ $QP1$ ~ $QP4$ の断面構造を概略的に示す説明図である。

【図4】 アクセスモードにおけるゲート電圧制御回路140の動作を示す説明図である。

【図5】 非アクセスモードにおけるゲート電圧制御回路140の動作を示す説明図である。

【図6】 従来のインターフェース回路を示す説明図である。

【図7】 従来のインターフェース回路の問題点を示す説明図である。

【符号の説明】

100…インターフェース回路

110…入力バッファ

112…第1のインバータ

114…第2のインバータ

116…n型MOS (nMOS) トランジスタ

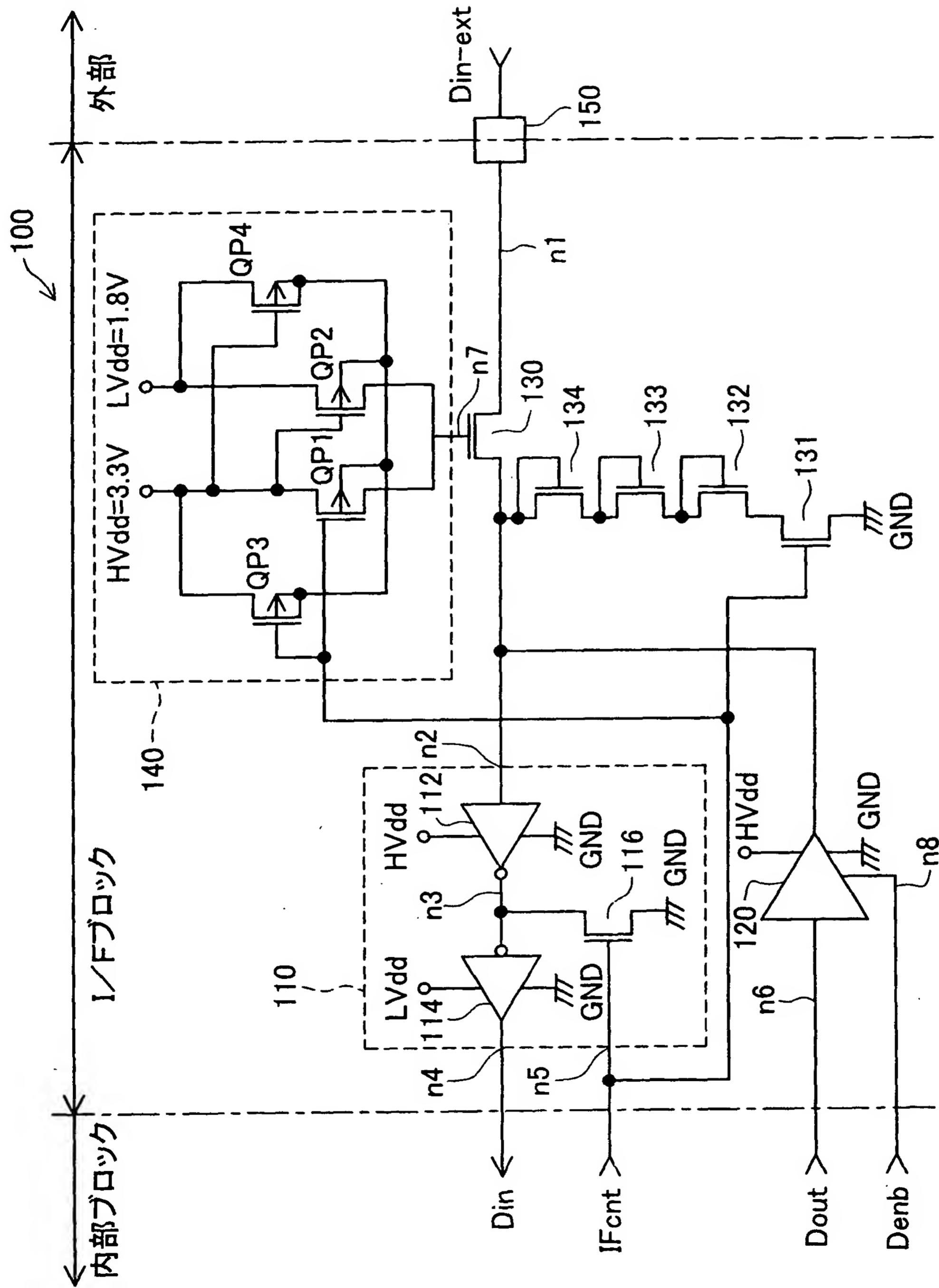
120…出力ドライバ

130…トランスマニピュレーター
130…トランスマニピュレーター
131, 132, 133, 134…n型MOS (nMOS) トランジスタ
140…ゲート電圧制御回路
QP1, QP2, QP3, QP4…p型MOS (pMOS) トランジスタ
150…外部入出力パッド
200…p型半導体基板)
210…Nウェル (n型基板領域)
212…p型不純物領域 (ドレイン電極)
214…p型不純物領域 (ソース電極)
216…n型不純物領域 (バックゲート電極)
218…ゲート電極
220…Nウェル (n型基板領域)
222…p型不純物領域 (ドレイン電極)
224…p型不純物領域 (ソース電極)
226…n型不純物領域 (バックゲート電極)
228…ゲート電極
232…p型不純物領域 (ドレイン電極)
234…p型不純物領域 (ソース電極)
236…n型不純物領域 (バックゲート電極)
238…ゲート電極
242…p型不純物領域 (ドレイン電極)
244…p型不純物領域 (ソース電極)
246…n型不純物領域 (バックゲート電極)
248…ゲート電極

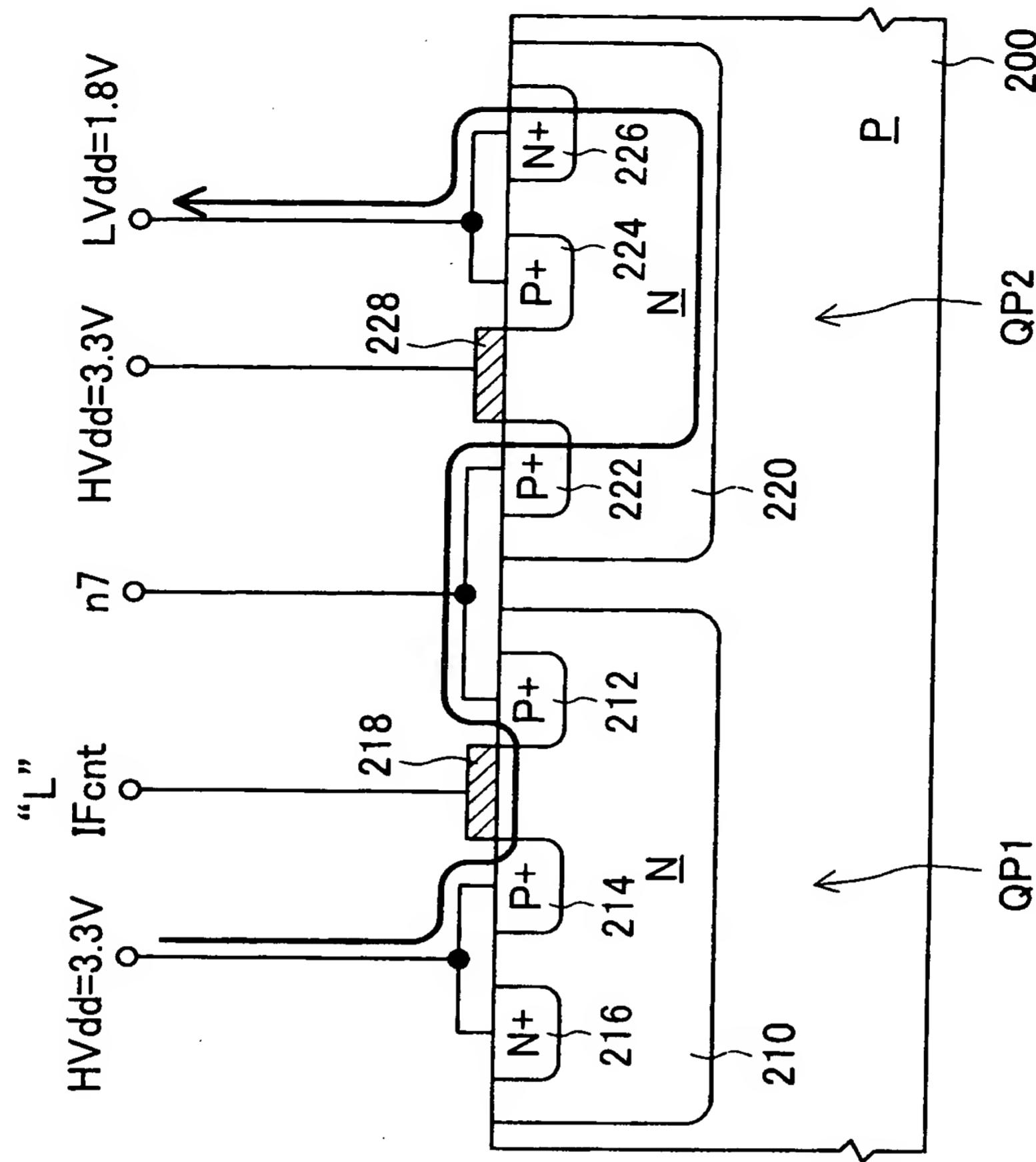
【書類名】

四面

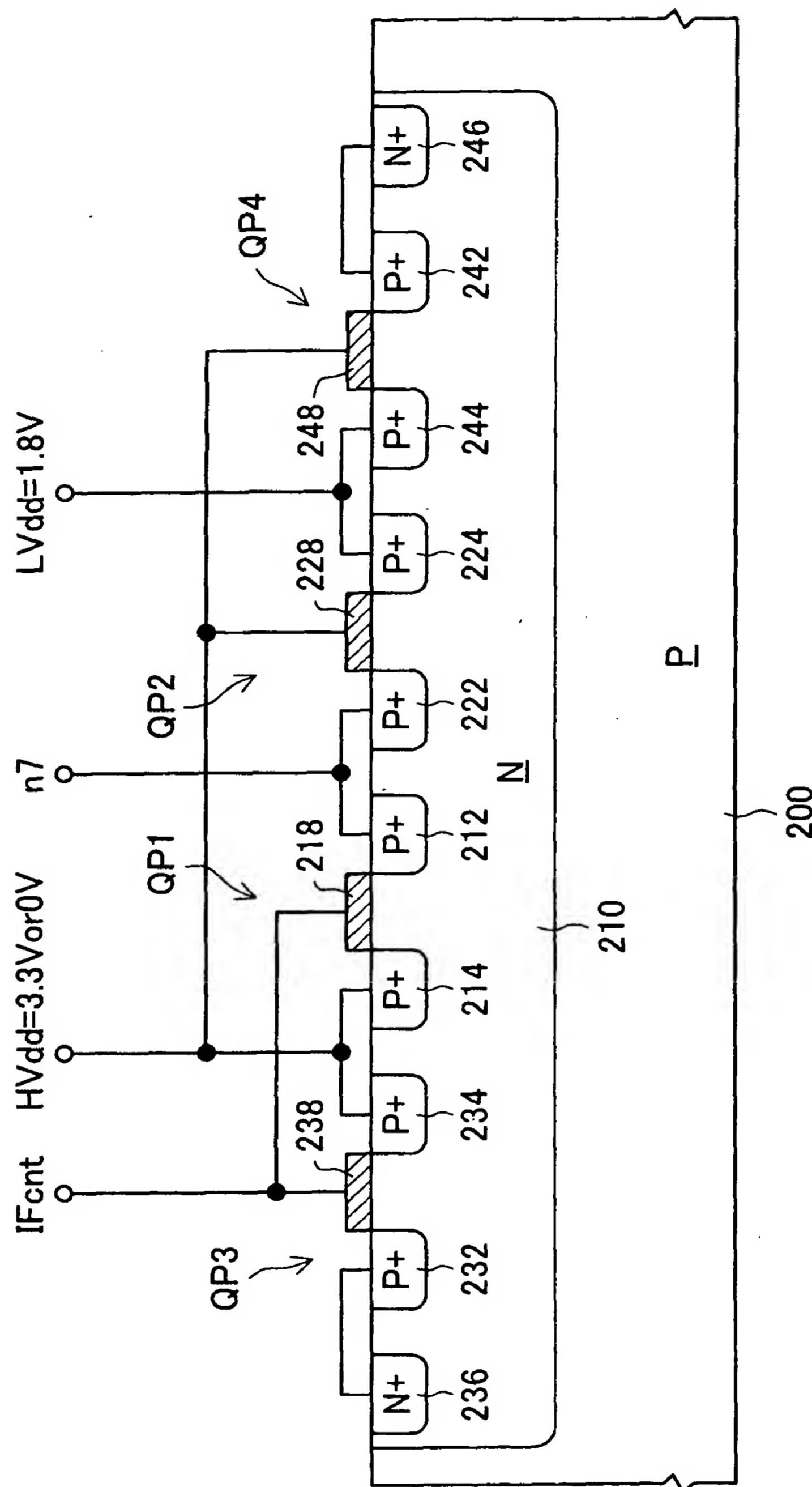
〔圖 1〕



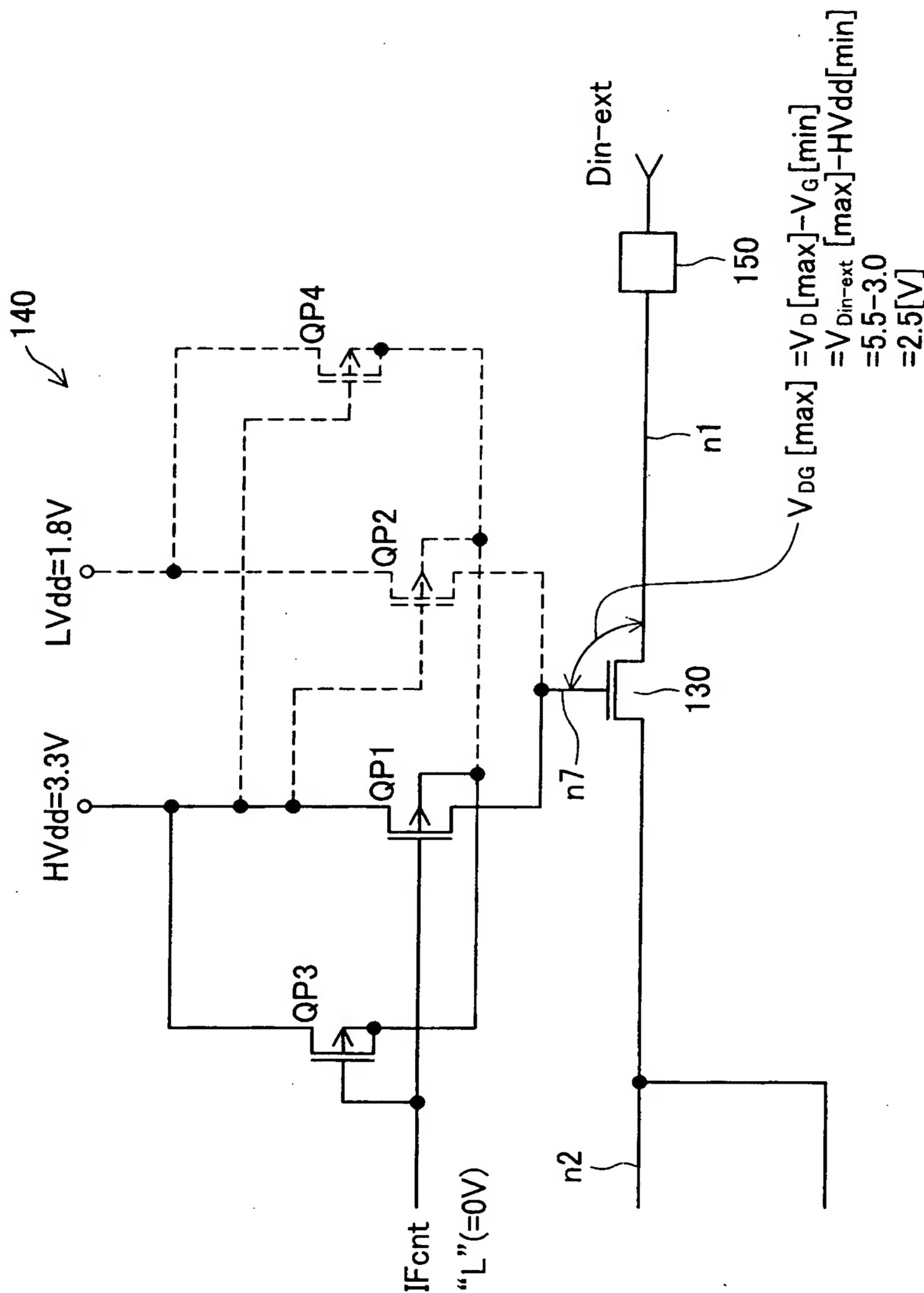
【図2】



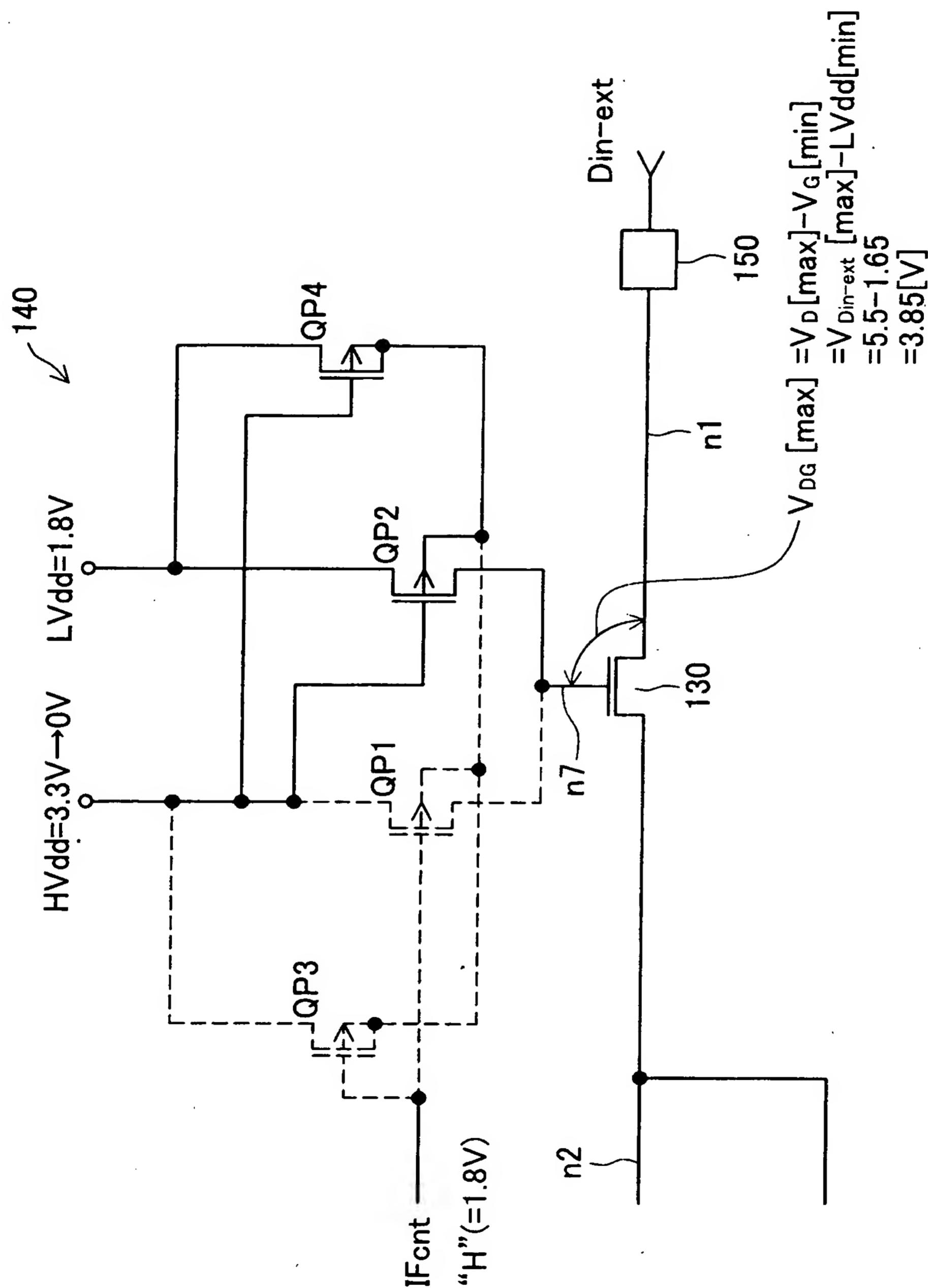
【図3】



【図4】

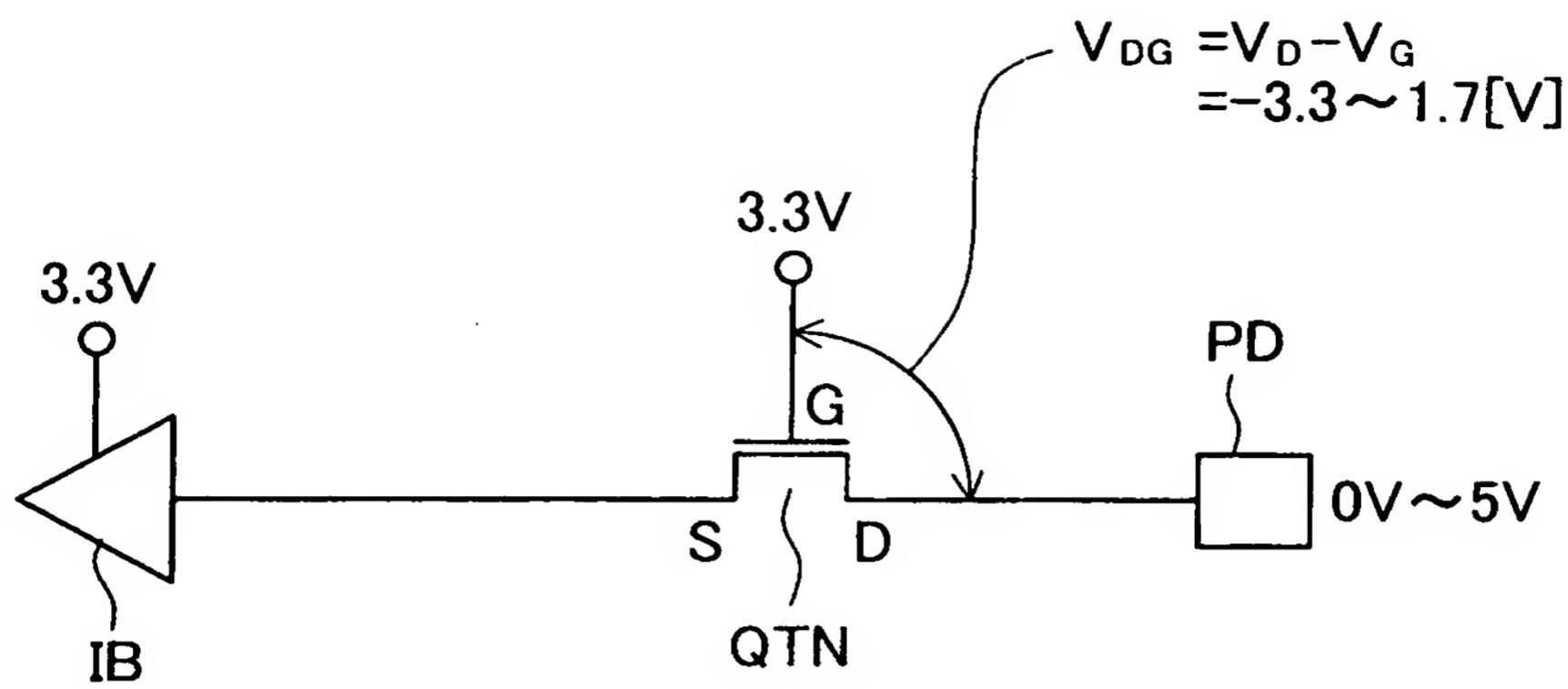


【図5】

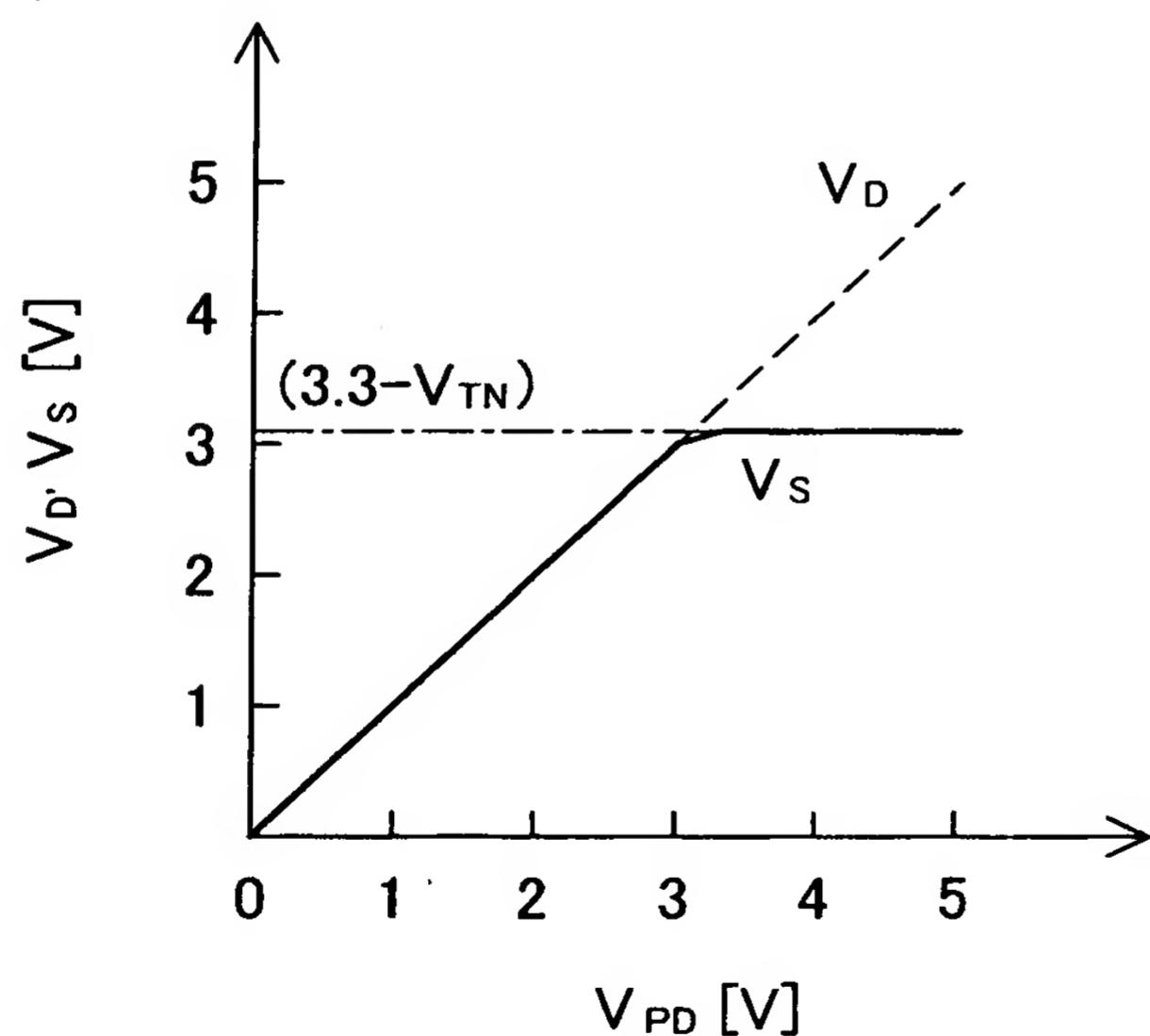


【図6】

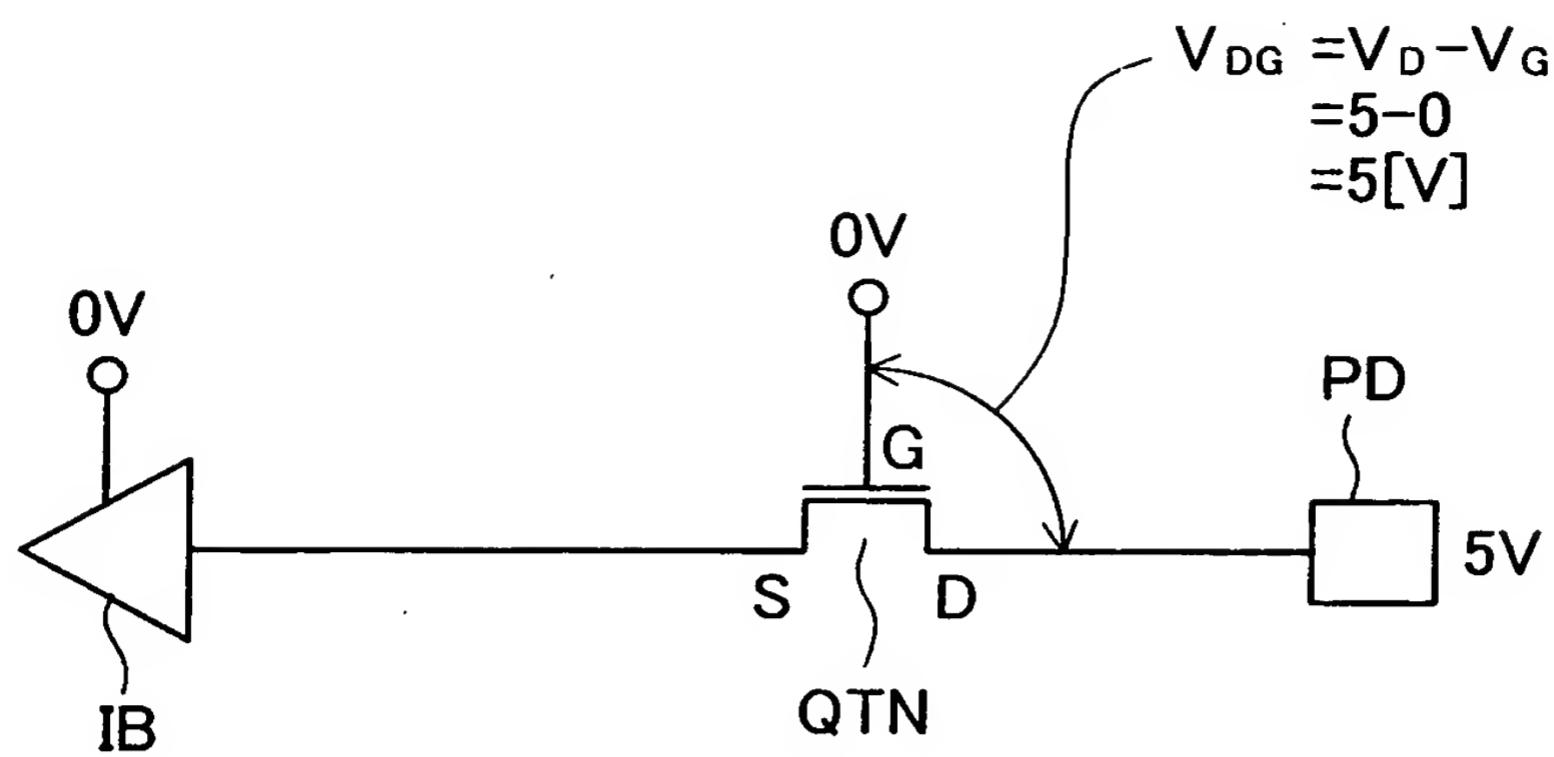
(A)



(B)



【図7】



【書類名】 要約書

【要約】

【課題】 非アクセスモードにおいても、インターフェース回路に供給される電源電圧よりも高く、インターフェース回路を構成するトランジスタのゲート電極に許容される最大定格電圧よりも高い電位の信号の入力を許容する。

【解決手段】 外部入力端子と入力バッファの入力端との間で接続され、外部入力端子から入力される外部信号を入力バッファの入力端に伝えるためのトランジスタゲートのゲート電極に印加するゲート電圧は、ゲート電圧制御回路によって生成される。ゲート電圧制御回路は、アクセスモードにおいて、半導体集積回路の電源電圧として印加される比較的高い第1の電圧に基づいて生成された電圧を前記ゲート電圧として出力し、非アクセスモードにおいて、半導体集積回路の電源電圧として印加される比較的低い第2の電圧に基づいて生成された電圧を前記ゲート電圧として出力する。

【選択図】 図1

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社